

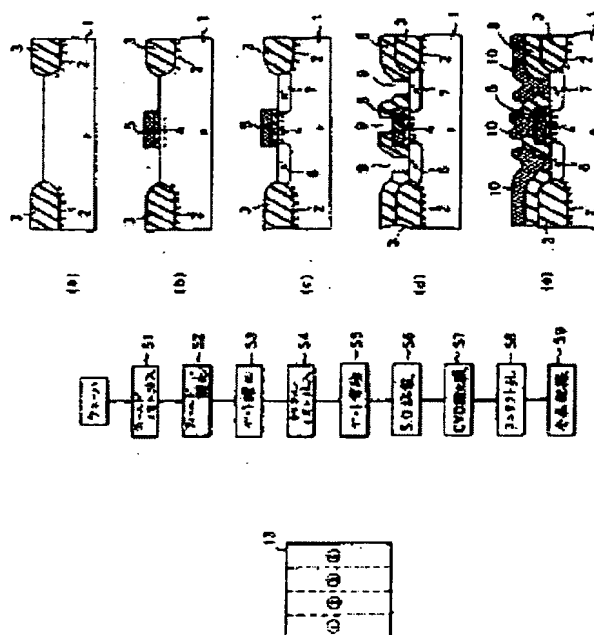
## SEMICONDUCTOR IC DEVICE

**Patent number:** JP60153156  
**Publication date:** 1985-08-12  
**Inventor:** IIZUKA HISAKAZU  
**Applicant:** TOKYO SHIBAURA ELECTRIC CO  
**Classification:**  
**- international:** H01L21/8246; H01L21/70; (IPC1-7): H01L21/00; H01L27/02; H01L27/04  
**- european:** H01L21/8246R2D4  
**Application number:** JP19840009756 19840123  
**Priority number(s):** JP19840009756 19840123

Report a data error here

## Abstract of JP60153156

**PURPOSE:** To enable the fluctuation in characteristic of IC action to be compensated simply and securely by a method wherein an ROM region is provided in an IC chip, the actual processing conditions for each manufacturing process or the deviation of the actual processing conditions from the design value are kept written fixedly to this memory region for every chip in the connected manufacturing processes. **CONSTITUTION:** A p type Si wafer 1 is prepared, and an inversion-preventing layer 2 is formed by selective field ion implantation (process S1). Next, a field oxide film 3 is formed by selective oxidation (process S2). A gate oxide film 4 caused by high-temperature thermal oxidation is formed (process S3), and channel ions are implanted (process S4) to control the threshold value; then, a gate electrode 5 is formed by deposition and patterning of polycrystalline Si (process S5). In a series of processes so far, the deviating information of the ion implantation conditions for the field ion implanting process S1 from the design value is written to the region (1) of a region 13 as "1", "0" according to the presence of channel implantation in the later channel ion implanting process S4.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60-153156

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)8月12日

H 01 L 27/02

8122-5F

// H 01 L 27/04

B-8122-5F

21/00

6851-5F

審査請求 未請求 発明の数 4 (全10頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭59-9756

⑰ 出 願 昭59(1984)1月23日

⑱ 発 明 者 飯 塚 尚 和 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社総合  
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

(1) 集積回路が形成された半導体チップに、集積回路の製造プロセスの実際の処理加工条件またはその設計値からの偏差に関するチップ情報を固定記憶として書き込んだ ROM 領域を設けたことを特徴とする半導体集積回路装置。

(2) ROM 領域はマスク ROM により構成されることを特徴とする前記特許請求の範囲第1項記載の半導体集積回路装置。

(3) 集積回路が形成された半導体チップに、集積回路の製造プロセスの実際の処理加工条件またはその設計値からの偏差に関するチップ情報を固定記憶として書き込んだ ROM 領域と、この ROM 領域のチップ情報によりチップの動作条件を調整する回路機能とを設けたことを特徴とする半導体集積回路装置。

(4) 集積回路の製造プロセスの実際の処理加

工条件の設計値からの偏差に関するチップ情報が、前記偏差に基づいて補正したチップの動作条件またはその変更量であることを特徴とする前記特許請求の範囲第3項記載の半導体集積回路装置。

(5) 集積回路が形成された半導体チップに、集積回路の製造プロセスの実際の処理加工条件またはその設計値からの偏差に関するチップ情報を固定記憶として書き込んだ ROM からなるプロセスパラメータ・メモリ領域と、このプロセスパラメータ・メモリ領域から記憶内容を読み出す検出回路と、前記チップ情報が取り得る値に対し夫々チップの動作条件またはその変更量を記憶させた ROM 領域と、この ROM 領域から前記読み出された記憶内容に対応するチップの動作条件またはその変更量を読み出す回路機能と、かかる読み出された動作条件またはその変更量に応じてチップの動作条件を調整する回路機能とを設けたことを特徴とする半導体集積回路装置。

(6) 集積回路を絶縁層を介して複数層設ける

ことにより積層型集積回路が形成された半導体チップに、集積回路の製造プロセスの実際の処理加工条件またはその設計値からの偏差に関する複数層分のチップ情報を固定記憶として書き込んだ同一層又は異なる層に跨がって形成されたROM領域と、このROM領域のチップ情報により集積回路チップの動作条件を調整する回路機能とを設け、前記複数層の集積回路に対して動作条件を整合して設定するようにした事を特徴とする半導体集積回路装置。

### 3. 発明の詳細な説明

#### 〔発明の技術分野〕

本発明は、素子の微細化、高密度化に伴う製造プロセスパラメータの変動を考慮した半導体集積回路装置に関する。

#### 〔発明の技術的背景とその問題点〕

半導体集積回路が高密度化、大規模化するに従い、集積回路チップの構成素子は微細化しチップの大きさは増大し、これに対応して基板ウェーハも大口径化が進む。そして、これに対応

してウェーハ間、ウェーハ内あるいはチップ内における製造プロセスの処理加工条件、予め設定された値と微妙な違いを生じるようになる。微細素子により構成される大規模集積回路においては、この微妙な処理加工条件の差違により、個々の素子の動作特性の変更がチップ全体にとっては大きな動作特性の変動となることしばしばである。これは微細化、大規模化が進めば進むほど大きな問題となる。

例えばMOS集積回路において、素子分離工程で重要なプロセスパラメータとされている、分離領域の基板表面へのイオン注入量とフィールド酸化膜厚を考える。この設計値をそれぞれ $2 \times 10^{12}/\text{cm}^2$ および $0.9 \mu$ として実際に処理を行なったものが、 $2.05 \times 10^{12}/\text{cm}^2$ および $0.875 \mu$ であったとすると、完成した集積回路を構成する個々のMOSFETの特性は設計値と微妙な差を生じることになる。また、MOSFETのしきい値を決定する重要なプロセスパラメータとしては、チャネル領域のイオン注入量、ゲート絶縁膜厚

みおよびゲート電極の長さがあるが、これらのパラメータが設計値よりそれぞれ5多程度のずれでも、しきい値としては20多程度のずれを生じる場合がある。

全工程を通じてこの様な重要なプロセスパラメータの設計値からのずれを累積すると、集積回路の最適動作条件が設計値から大幅にずれる場合がある。従ってこの様な重要なパラメータの設計値からの差違に関する情報を正確に記憶しておく必要が生じる。しかしこれを、外部記憶装置に保持して長期間保存し、使用時にこれを読出す事は極めて複雑であり現実には不可能に近い。

#### 〔発明の目的〕

本発明は、製造プロセスパラメータの変動による集積回路動作特性の変動を簡単かつ確実に補償できるようにした半導体集積回路装置を提供することを目的とする。

#### 〔発明の概要〕

本発明の第1の骨子は、集積回路チップ内に

ROM領域を設け、このメモリ領域に各製造プロセスの実際の処理加工条件または実際の処理加工条件の設計値からの偏差を後続の製造プロセスにおいてチップ毎に固定的に書き込んでおくことを特徴とする。そして集積回路として動作させる際に、このメモリ領域のチップ情報に応じて動作条件を変更することにより所期の特性を実現する。

また本発明の第2の骨子は、上記メモリ領域と共に、その情報を読み出して回路の動作条件を自動的に調整する回路機能をチップ内に組込む。これにより集積回路は、実際の製造プロセスパラメータに変動があっても、外部から設計値に基づく動作条件を与えることにより自動的に最適動作条件で動作させることができる。

通常のMOS型固定記憶装置(マスクROM)においては、記憶すべき情報を、アレイ配列したMOSFETのゲート酸化膜厚みの差、チャネル領域のイオン注入の有無、ドレイン電極とのコンタクトを形成するためのコンタクトホールの有

無などによりROMチップの製造工程で作り込んでいる。しかしこの場合、記憶すべき情報は予め与えられているものであり、そのROMの製造工程に付与されている処理加工条件とは何等関係ない。本発明におけるROM領域の固定記憶情報は、予め決められたものではなく、その集積回路の製造工程での実際の処理加工条件またはその設計値からの偏差であり、この点で通常のROMと基本的に異なる。

尚、本明細書中において、チップ情報とは少なくともチップ内においては均一として扱われる製造プロセスに關するものであるとする。この場合チップ情報は、通常ウェーハ内で均一とするが、ウェーハ内で製造条件のばらつきがある場合には、そのばらつきに応じてウェーハ内の各チップ領域で異ならせてもよい。又、マスクROMには通常のレジスト等の加工マスクを用いるもの他にイオンビームを選択照射して行なうチャネルイオン注入の有無における場合の様に、マスク機能が製造プロセスによって等価

的に達成されたものも含むものとする。マスクROMとしては以下に示すMOSFETによる場合の他に、バイポーラトランジスタ、配線をレーザで焼切ったもの、抵抗素子を用いるもの等が可能である。

#### 〔発明の効果〕

本発明によれば、微細化された素子を高密度に集積した集積回路を、チップ単位で製造プロセスパラメータの変動に拘らず所望の特性をもって動作させることができる。又、ROMとしてマスクROMを用いる場合はかかる集積回路はチップ分割の前に固定記憶が為されるのでチップと記憶すべき情報との対応が極めて容易である。

又、特に、ROM領域と共に、その情報をチップ内部で処理して回路の動作条件を自動的に変更設定する回路機能を組込めば、外部的操作を何等必要とせず所望の動作特性を得ることができて有利である。

#### 〔発明の実施例〕

以下本発明をMOS集積回路に適用した実施例

につき詳細に説明する。

第1図は、完成した集積回路チップ11を示しており、回路本体12の他に、各製造プロセスの処理加工条件の設計値からの偏差を固定記憶情報として蓄込んだプロセスパラメータ・メモリ領域（マスクROM領域）13を有する。このメモリ領域は第2図に示すように、4分割された領域①～④を有する。このメモリ領域13はMOSFETを用いたROMであり、通常のバイアスで電流が流れる状態を“0”、流れない状態を“1”として情報を記憶している。ただし、領域②～④の情報は集積回路本体12の一連の製造プロセスのなかのそれぞれ異なるプロセスにおいて蓄込まれたものであり、従って次に述べるように、“1”、“0”を区別するための素子構造は領域②～④でそれぞれ異なる。尚、領域①と②は同じプロセスで蓄込まれたものである。

第3図および第4図は集積回路本体12及びメモリ領域13の製造プロセスを説明する為の図であり、そのプロセスを説明しながら、メモ

リ領域13の各領域①～④にどのような状態で情報が蓄込まれるかを説明する。集積回路本体12とメモリ領域13は同じプロセスで作られる。即ち、p型Siウェーハを用意し、まず選択的にフィールドイオン注入（プロセスS1）を行ない、反転防止層2を形成する。次に選択酸化（プロセスS2）によりフィールド酸化膜3を形成する。この後、高温熱酸化によりゲート酸化膜4を形成し（プロセスS3）、しきい値制御のためにチャネルイオン注入（プロセスS4）を行ない、次いで多結晶Siの堆積、パターニングによりゲート電極5を形成する（プロセスS5）。

ここまでの一連の工程において、メモリ領域13の領域①には、フィールドイオン注入プロセスS1のイオン注入条件の設計値からの偏差情報を、後のチャネルイオン注入プロセスS4においてチャネルイオン注入の有無により“1”、“0”として蓄込む。例えば高濃度でボロンのイオン注入を行なって通常のバイアスではオンし

ないしきい値を与えたMOSFETを“1”、チャネルイオン注入を行なわないMOSFETを“0”とする。また領域②には、フィールド酸化プロセスS2の酸化条件の設計値からの偏差情報を領域①と同様チャネルイオン注入プロセスS4においてチャネルイオン注入の有無により“1”、“0”として書込む。

この一連の工程の後、例えばヒ素のイオン注入によりソース6、ドレイン7を形成する(プロセスS6)。そして全面にCVD酸化膜8を堆積し(プロセスS7)、コンタクトホール9を形成し(プロセスS8)、A1などによる金属配線10を配設する(プロセスS9)。

以上の工程において、メモリ領域13の領域③には、ゲート酸化プロセスS3での酸化条件の設計値からの偏差情報を、コンタクトホール形成プロセスS8でコンタクトホールの有無により“1”、“0”として書込む。例えば、コンタクトホールを形成せず、したがってバイアスを印加しても電流が流れない状態のMOSFETを“1”

とし、コンタクトホールを形成したMOSFETを“0”とする。領域④には、チャネルイオン注入プロセスでのイオン注入条件の設計値からの偏差情報を、金属配線プロセスS9において、ドレイン配線の有無により“1”、“0”として書込む。例えば、ドレイン配線がなく、従ってバイアスを印加しても電流が流れないMOSFETを“1”とし、所定の金属配線を施したMOSFETを“0”としてこの情報を記憶する。

以上のようにして得られたMOS集積回路チップ11のメモリ領域13の各領域①～④での“1”、“0”の素子構造をまとめて第5図に示す。こうして各領域①～④は、ROMとして必要なプロセスの処理加工条件の設計値からの偏差情報を固定的に記憶している。この後ウェーハから集積回路チップを切り出す。即ちチップ分割する。そして、集積回路チップの回路本体12を動作させるに当たっては、このメモリ領域13の情報を外部に読み出して、この情報に基づいてチップの動作条件、例えば電流電圧、基板バ

ィアス、クロックの周期や位相に変更を与える。これにより、製造プロセスパラメータの変動による集積回路本体12の動作特性の変動を容易に補償することができる。

領域①～④は後述するゲート長に関する場合の様に許容値を超えたか否かで“1”、“0”を記憶するように夫々1ビット構成とする事も可能であるが、細かな制御を有する為には複数ビットで構成するのが都合良い。例えば各領域を8個のMOSFETで構成すると8ビットとなる。例えば偏差として固定記憶させる場合は、ゲート酸化膜厚を例に取ると、設計値200Åに対して、-150Åの場合を“00000001”、-140Åを“00000010”…という具合に⊖或いは⊕の偏差、又は偏差0(ゼロ)を“1”、“0”パターンで記憶させる。実際の処理加工条件をそのまま固定記憶させる事もできる。各領域①～④では例えばゲート、ソース配線が共通にされ、ソースは例えば5Vが与えられメモリ領域13が構成される。そして各ゲートをスイッチ及びパルスが

入力すると所定時間毎に選択するスイッチを切換えて行く遅延回路を介して第1の制御パッドに接続し、ドレインも各領域の対応するビット毎にまとめ、これをスイッチを介して1つの脱出し用パッドに接続し、ドレインのスイッチも遅延回路を介して第2の制御パッドに接続すれば良い。即ち、脱出し用パッドでドレイン電圧 $V_D$ を検知しながら、第1、第2の制御パッドにパルスを与えれば、各MOSFETの“1”、“0”が順次脱出され、情報をチップから読む事ができる。スイッチはデコードにより制御する事もできる。

例えば上記例において、領域③、④はしきい値を変動させるパラメータである。メモリ領域13からゲート酸化膜厚は設計値通り、チャネルイオン注入は設計値より8%少ない事が脱出された場合、これはしきい値電圧の0.15V低下に相当するので基板電位を-3Vから-3.25Vに、即ち基板バイアス(ソース…接地からの逆バイアス値で表わす)を0.25V上昇させる様、チップの基板バイアスパッドに与える電圧

を変更するか、基板バイアスをコントロールする信号パッドに信号を与えてチップを動作させる。これによりしきい値の変動は防止される。領域③、④双方から偏置が脱出された時は変更量を加算処理する。領域①、②のフィールドイオン注入、フィールド酸化条件についてもこれをチップ外に脱出し、最適動作させればよい。メモリ領域13にはこの他、MOSFETのゲート長に関する情報を固定記憶させる事もできる。ゲート長は例えばゲート加工時(S5)のオーバーエッチング時間(=アンダーカット量)により変化する。この場合、工程上第5図の領域③、④で示した固定記憶法が適用できる。例えばオーバーエッチング時間を記憶させる。例えばポリシリコンゲート長が設計値1.2 $\mu$ mに対し0.2 $\mu$ m短い事が判明した時は、ドレイン電圧により生ずるショートチャネル効果、ホットエレクトロンの発生を防止する為、電源電圧を5Vから4.6Vに低下させ、これによりドレイン電圧を5Vから4.6Vに低下させる。ゲート長はしきい値にも影響を与えるので、これについて

も前述したと同様基板バイアスの変更を行なう。

上記実施例では、プロセスパラメータ・メモリ領域13の情報を一旦チップ外部にのみだして、動作条件の変更を指示するようにしたが、更に進めて動作条件の変更までチップ内部で自動的に行なうようにすることが望ましい。その実施例を図6図により説明する。図6図は、集積回路チップ全体の構成を概略的に示したもので、集積回路本体12と先の実施例と同様のプロセスパラメータ・メモリ領域13のほか、制御回路14、標準テーブル15、検出回路16および駆動回路17を有する。標準テーブル15は各製造プロセスの処理加工条件が設計値からどれだけずれた場合にどれだけ動作条件の変更を行なうかの情報を記憶している。また駆動回路17は集積回路本体12の動作条件に変更を与える回路要素を組込んである。

この様な構成として、集積回路チップを動作させると、制御回路14はメモリ領域13の情報を読み出し、その内容によって標準テーブル

15から回路動作の変更条件を読みだして駆動回路17に与える。これにより、チップ外部からはなんらの操作をすることなく自動的に、集積回路本体12を最適動作条件で動作させることができる。

メモリ領域13がゲート酸化、チャネルイオン注入に関する上記③、④から成る場合について動作説明する。即ち、プロセスパラメータ・メモリ領域13には、例えば偏置情報としてゲート酸化、チャネルイオン注入の⊕或いは⊖の偏置、又は偏置0として8ビット情報が固定記憶される。実施例の回路例を第7図に示す。ここでは、領域③、④の8ビットのMOSFETは、ゲート $G_1$ 、 $G_2$ 、ソース配線が共通接続される事により構成されている。又、③、④間でソース配線は共通接続され5Vが与えられている。又、対応するビットのドレイン配線は共通接続され、 $D_1$ 、 $\sim$ 、 $D_8$ 端子が与えられている。以下、第8図のフローチャートを参照して説明すると、制御回路14はメモリ領域③をONさせる。即ち

$G_1$ をONとする。次いで検出回路16が、 $D_1$ 、 $\sim$ 、 $D_8$ のドレイン電圧を一括脱出しし、“1”、“0”の8ビット情報を領域③から脱出す。制御回路14は検出回路16が脱出した偏置情報を読み込み、標準テーブル15からこの偏置に対応する回路動作の変更情報を脱出し、ラッチ回路18にラッチする。例えば基板バイアスの変更量+0.2Vをラッチする。ラッチ回路は動作条件を決定するプロセスパラメータが1つの場合は必要としない。領域③の対応する変更量がラッチされると領域④の脱出しが同様に行なわれる。そして、制御回路14はこれに対応する変更量を標準テーブル15から脱出し、ラッチ内容と加算して実際の変更量を決定する。かかる合成変更量が制御回路14から駆動回路17に与えられると、駆動回路17はこれに従い基板バイアスを設計値から偏置させ、集積回路本体12に補正された基板バイアスを供給する。標準テーブル15はROMで構成するが、上記した様に領域③、④に対し、夫々変更量を固定記

値する方法の他に、領域③、④の情報の組み合わせに対し、変更量を記憶させておく事もできる。この場合は、領域④の内容が検出回路16から検出される迄、領域③の検出回路16から検出された情報をラッチ回路18にラッチさせ、両者が揃った段階で対応する変更量を標準テーブル15から読出すようにする。又、標準テーブル15には変更量としてではなく、実際の動作条件として記憶させておくこともできる。

第9図は駆動回路17の例で、動作条件に変更を与える回路要素を組み込んだ基板バイアス発生回路を示している。

第9図(a)に基板バイアス発生回路を示す。91はMOSインバータを複数段接続したリングオシレータ、92aおよび92bはクロックジェネレータ、93aおよび93bはチャージポンプ回路である。

ドレイン電源電圧 $V_{DD}$ とソース電源電圧 $V_{SS}$ とが投入されると、リングオシレータ91が動作する。位相がほぼ $180^\circ$ 違う2種類のリン

グオシレータ出力 $\phi_A$ と $\phi_B$ をクロックジェネレータ92aと92bにそれぞれ入力すると、クロックジェネレータ92a、92bの各出力ノードNaとNbの出力波形は位相がほぼ $180^\circ$ 違って出力される。このため、チャージポンプ回路の93aと93bのコンデンサCaとCbは、交互に充放電を繰り返して、基板バイアス発生回路の出力電圧 $V_{BB}$ を一定に保つように働く。CaとCbの容量は等しい。

第9図(b)はCaに調整機能をもたせた例である。Cbも同様とする。第9図(b)において、キャパシタ $C_1$ と並列にキャパシタ $C_2$ より充分容量の小さなキャパシタ $C_3$ 、 $C_4$ がMOSFETを介して接続されている。正常動作の場合はタイミング $\phi_C$ をONして $C_1 + C_2$ 、容量を減少させる時には $\phi_C$ をOFF、増加させる時には $\phi_C$ 、 $\phi_D$ 共にONすれば基板バイアスが調整できる。キャパシタ数を更に増せばより細かな制御を行なう事ができる。

その他、第9図(a)下段の92a、92b、

93a、93bからなるブロックを複数用意し、ノード $V_{BB}$ は共通として、適当なクロックによりノード $V_{BB}$ に接続される上記ブロック数を変える事によっても調整可能である。

動作条件の変更は、僅かな時間で終了するので集積回路本体12への電源投入と同時に開始しても良いし、駆動回路17の動作条件の変更が終了するまでラッチしておき、駆動回路から集積回路本体12への基板バイアス供給と同時に集積回路本体12に電源供給を行なう様にしてもよい。パッドから入力した電源電圧が本発明により変更される場合には前者の方法を採っても同じである。

本実施例では、ゲート酸化、チャネルイオン注入条件に基づくしきい値電圧の補償を例に取って説明したが、先の実施例と同様、これに加えてフィールドイオン注入、フィールド酸化、ゲート炭等他のプロセスパラメータに関しても実行する事ができる。

なお本発明は、上記実施例に限られるものではなく種々変形して実施することができる。例えば集積回路が多層ゲート構造を用いるものである場合には、プロセスパラメータの記憶法として、第1層ゲートによるMOSFETのしきい値の情報を第2層ゲートのMOSFETに記憶させ、第2層ゲートのMOSFETのしきい値の情報を第3層ゲートのMOSFETに記憶させることができる。

第10図はかかる積層型集積回路の実施例を示す。即ち、第1層IC50はSi基板に形成され、絶縁膜を被覆してその上に半導体膜を形成し、これをビームアニールにより単結晶化し、そこに第2層ICを形成する。以下同様にして第(N-1)層IC51、第N層IC52迄が

形成される。各層はプロセスパラメータ・メモリ領域(マスクROM)501...511、521及び最適動作回路502,...512、522を有する。最適動作回路は、第6図で説明した制御回路14、標準テーブル15、検出回路16、駆動回路17、ラッチ回路18から構成されるものである。この実施例では、各層のプロセスパラメータ・メモリ領域は、第1層1Cからその層までのプロセス情報が第5図で説明した方式で固定記憶されている。例えば、先述した基板パイアスや電源電圧に関するプロセス情報である。又、標準テーブルにはプロセス情報に対応する動作条件の変更量が固定記憶されている点は第6図と変わりはない。各層は基本的には第6図で述べた様にその層の動作条件を設定する。しかし、1つの回路ブロックが複数層に分割されている時は動作条件の整合を取る事が必要になる。例えば電源電圧は共通にしなければならない。従って、1つの回路ブロックが(N-1)層と(N-3)層1Cとに分割されている場合は、(N-1)

層で最適動作条件を制御する。即ち、(N-1)層のプロセスパラメータ・メモリ領域には(N-3)層のプロセス情報も固定記憶されているので、(N-1)層において検出回路16から(N-3)層のプロセス情報を読み出し、標準テーブル15から変更量を読み出してこれをラッチ回路18にラッチしておく。次いで前記検出回路16から(N-1)層のプロセス情報を読み出す。これを制御回路14を介して標準テーブル15から変更量を読み出す。そして両変更量を制御回路14において合成(平均化)する。以上を(N-1)層のプロセスパラメータ・メモリ領域511、最適動作回路512において行なう。そして合成された動作条件の変更量を(N-1)層については(N-1)層の最適動作回路512の駆動回路17へ、(N-3)層に対しては(N-3)層の駆動回路へ与え、(N-1)層、(N-3)層夫々が同じ動作条件となる様にする。例えば電源電圧を設定する。どの層とどの層を用いて回路ブロックを構成す

るかには予め制御回路に上記した様にプログラムしておけば良い。又、この実施例では(N-1)層の制御回路14から(N-3)層の駆動回路へ変更量を伝達するようにしたが、予め(N-3)層の電源線を(N-1)層の駆動回路17に引き込んでおき、(N-3)層の電源電圧を(N-1)層から直接制御できるようにしても良い。この様に、層を隔てた場合の動作条件の整合方式は、積層型集積回路でマイクロプロセッサの様に時系列的に回路が変化する集積回路を組む場合にも適用できる。例えば時間と共に(N-1)層と(N-3)層から構成される回路ブロックが(N-1)層と(N-2)層から構成される回路ブロックに変化する時は、その都度動作条件の変更量を設定すれば良い。かかる整合方式によるプロセスパラメータ・メモリ領域は、異なる層に、例えば(N-1)層の情報は(N-1)層に、(N-3)層の情報は(N-3)層のプロセスパラメータ・メモリ領域に固定記憶されたものを用いても良い。

上記実施例では層を飛ばした情報を固定記憶する場合を示したが、その層と1つ下の層の情報をプロセスパラメータ・メモリ領域に固定記憶するようにしてもよい。この場合は隣接層のみ動作条件の整合が為される。そして、データ処理においては層を飛ばしたIC間では、信号のやりとりのみが行われる。その他積層型集積回路においては種々変更して実施する事ができる。例えば、N-m層にはN-m-1層の情報のみ記憶させ、(最上層はパッド領域として回路用ICは作らない)、1つ上の層から動作条件を変更させるようにする事も出来る。又、半導体の結晶性や半導体とゲート絶縁膜の界面単位に関する情報を記憶させる事もできる。更に(N-1)層にテスト用MOSFETを作り、(N-1)層の電極が形成された後実際にそのしきい値を測定し、このしきい値情報をN層のプロセスパラメータ・メモリ領域に固定記憶する事もできる。

以上、いくつかの例を示して来た。例えば第



5 図における固定記憶はマスク ROM の手法により為されている。例えばゲート酸化やチャネルイオン注入、コンタクトホール開口、配線の有無は、ウェーハにレジストを塗布し、これにマスクパターンを電子ビームを用いた直接描画やイオンビームを用いた直接描画で形成する事により可能である。又、チャネルイオン注入は走査イオンを直接チャネルに注入する事によっても注入の有無を選択する事も可能である。又、マスク ROM の領域のみ直接描画、他はフォトリソで形成してもよいし、例えばコンタクトホール形成の際、集積回路本体のコンタクトホールを形成した後、マスクを貼り替え、マスク ROM 部分のコンタクトホールを開口する様にしてもよい。また各工程におけるプロセスパラメータ情報を一時的に外部記憶装置に保持し、製造工程の最も終わりに近い工程、例えばコンタクトホール形成工程でコンタクトホールの有無により全工程まとめて固定記憶としてチップ内に作り込むこともできる。その段階で外部記憶

は不要となり、長期間のプロセスパラメータの保存は必要なくなる。この場合には、その実施例の領域①～④での“1”、“0”を扱う素子構造は同じになる。更に集積回路製造の全工程終了後に配線をレーザーにより焼切ることにより、固定記憶を行なうこともできる。

次にプロセスパラメータの差異に関する情報の固有性について述べる。ウェーハ内で場所により差異の程度に実質的な差がない場合には、ウェーハ内の全てのチップに同じ情報を記憶させればよい。ウェーハ内で差がある場合には、その差を段階的に分割して、これに対応してウェーハ内を区分し、同一区分内のチップには同じ情報を記憶させればよい。

又、プロセスパラメータ・メモリ領域に固定記憶する情報は上述した例に限らず、集積回路の製造プロセスの実際の処理加工条件の偏差に關する情報として実際の動作条件の変更量又は動作条件自体を上記したプロセスパラメータ・メモリ領域に固定記憶させる事もできる。この

場合、第 6 図において標準テーブル 15 は不要となる。

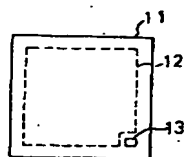
#### 4. 図面の簡単な説明

第 1 図は本発明の一実施例の集積回路チップを示す図、第 2 図はそのプロセスパラメータ・メモリ領域を示す図、第 3 図および第 4 図は本実施例の MOS 集積回路の製造工程を示す図、第 5 図は第 2 図のメモリ領域の素子構造を示す図、第 6 図は本発明の他の実施例の構成を示す図、第 7 図はメモリ領域の等価回路図、第 8 図は本発明の実施例の動作を示すフローチャート、第 9 図は駆動回路の回路図、第 10 図は本発明の他の実施例を説明する斜視図である。

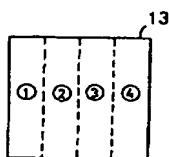
11…集積回路チップ、12…集積回路本体、13…プロセスパラメータ・メモリ(ROM)領域、14…制御回路、15…標準テーブル、16…検出回路、17…駆動回路。

出願人代理人 弁理士 鈴 江 武 彦

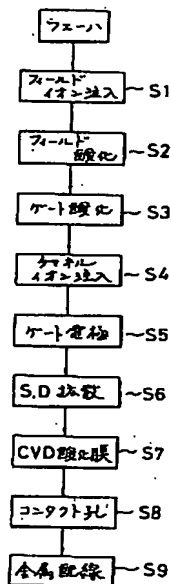
第 1 図



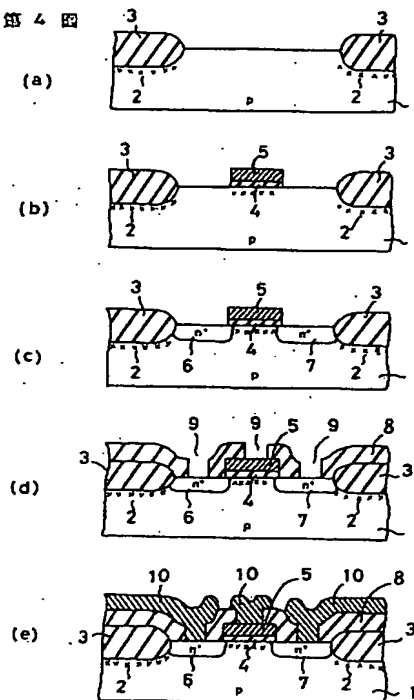
第 2 図



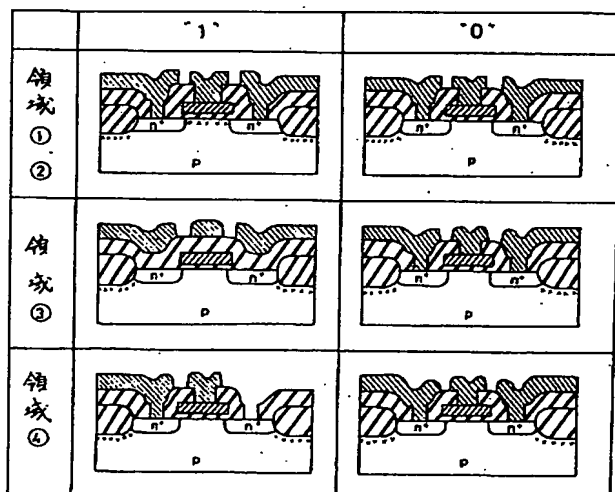
第 3 図



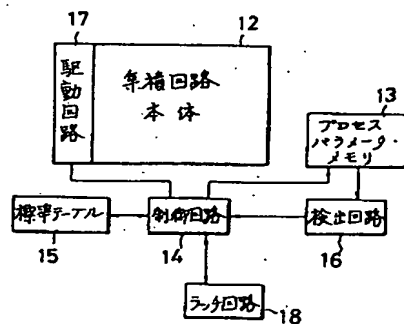
第 4 図



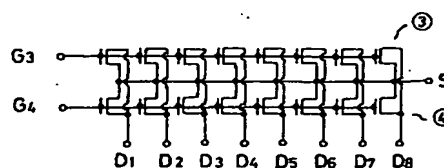
第 5 図



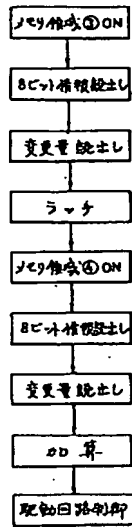
第 6 図



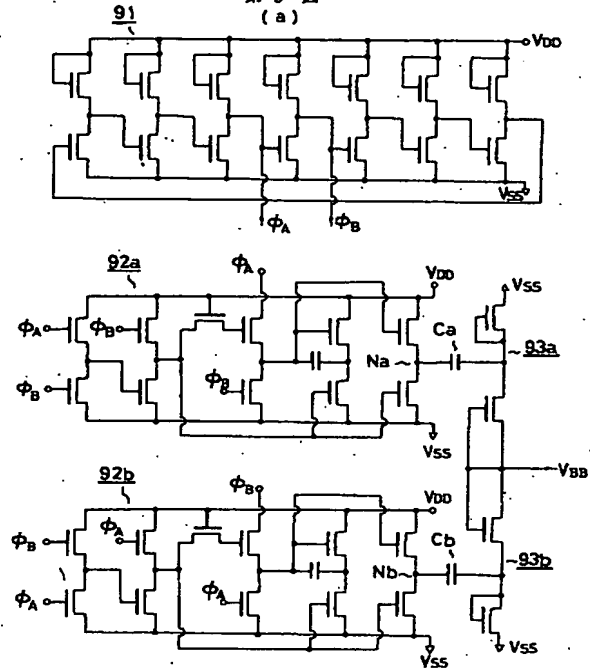
第 7 図



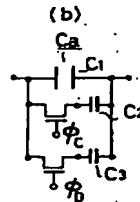
第 8 図



第 9 図  
(a)



第 9 図



第 10 図

